***Laboratorio 2 – PWM***

Objetivos del laboratorio son conocer:

* Como hacer un PWM

*Creación del Proyecto de LEDs*

1 - Abrir Vivado en la pantalla principal y presionar en abrir proyecto

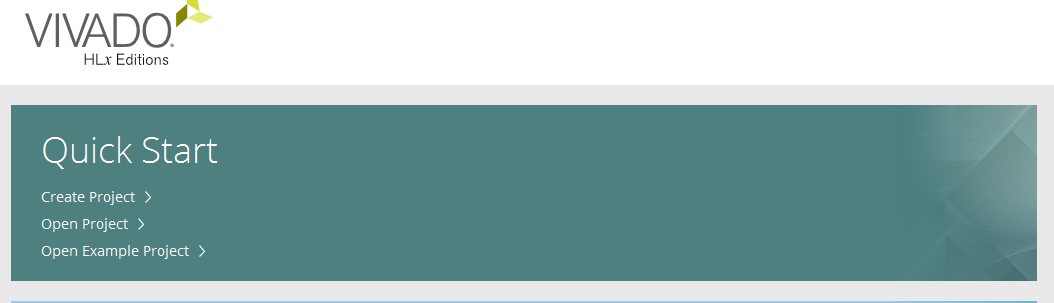
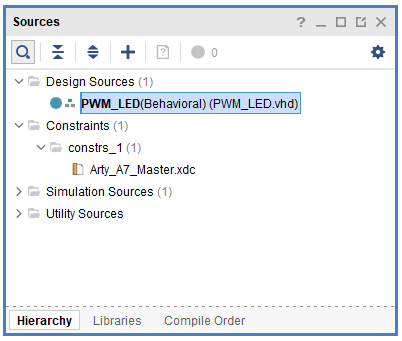


Figura 1.1 – Creación del proyecto en Vivado.

2 – Del proyecto suministrado abra el Project manager, deberá haber tenido una pantalla similar a esta



*Figura 1.2 – Archivos de trabajo de proyecto*

*Señal PWM*

Un PWM es una señal que cambia su valor, de en este caso el tiempo de encendido



*Figura 1.3. PWM. Observar que el ciclo de trabajo de la señal inferior es menor al ciclo de trabajo de la señal superior. Si se aplica esta señal a un LED, la intensidad del led depende de la mayor cantidad del ciclo de trabajo encendido o apagado.*

Dando un ejemplo cuantificable, si tenemos por ejemplo que la señal 1 tiene las siguientes características:

Ton = 50 y T = 100. El ciclo de trabajo será de: DC = 50/100 \* 100% = 50%.

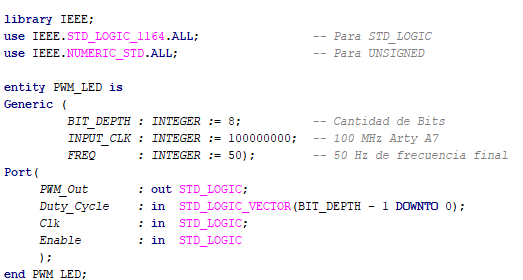
Si la señal 2 tiene las siguientes características:

Ton = 5 y T = 100. El ciclo de trabajo será de: DC = 5/100 \* 100% = 5%

Otro aspecto a aclarar es que el concepto de PWM y ciclo de trabajo se da para señales que son períodicas, en este caso la onda cuadrada. Note que el período siempre es constante, lo cambiante será el ciclo de encendido.

3 – Comience y escriba en VHDL el siguiente código

*Listado 1.1 – Declaración de la Entidad y Genéricos de PWM\_LED.*



Utilizaremos las librerías IEEE STD\_LOGIC para las señales que son de este tipo. Por otro lado NUMERIC\_STD para los tipos sin signo que se utilizarán más adelante.

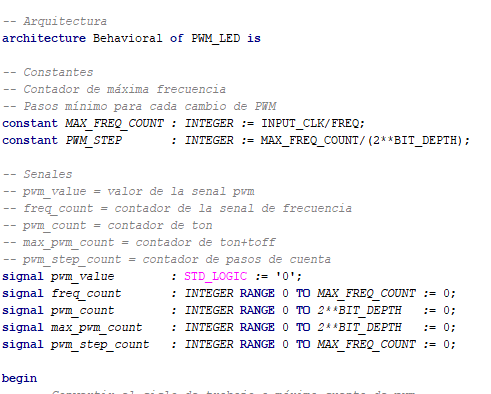
Para la entidad tendremos los genéricos de profundidad de bits, que para el caso de Arty son 8 LEDs, con su reloj de entrada de 100MHz, pero será generic para cuando cambiemos a otra tarjeta.

Finalmente la frecuencia a la que querremos ver la ejecución del PWM.

Por otro lado, PWM\_Out es la salida PWM, el Duty Cycle es la señal de tiempo de encendido, Clk y Enable serán la señal de reloj y la de habilitación del PWM como atl.

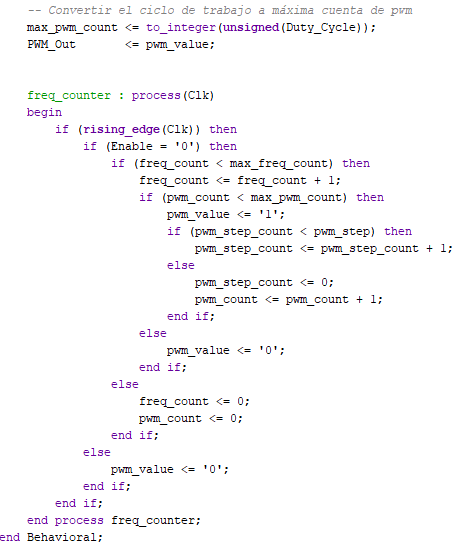
4 – Continuar con la definición de arquitecturas, señales y constantes

*Listado 1.2. Señales y constantes de PWM*



5 – Ahora comience con el cuerpo de la arquitectura para definir la operación del PWM

*Listado 1.3. Cuerpo de la arquitectura de una señal PWM*



6 – Cree el archivo de Test Bench para probar la arquitectura.

NOTA: Para la creación del test bench utilice los siguientes genéricos…

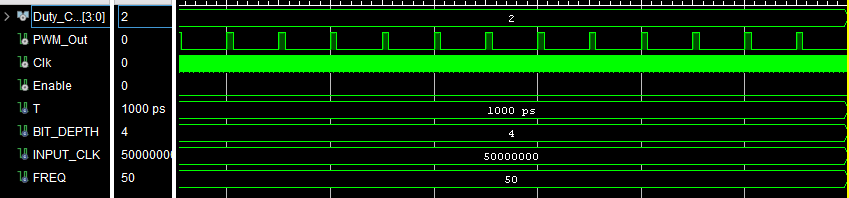
BIT\_DEPHT = 4

Duty\_Cycle = 2

FREQ = 50 Hz

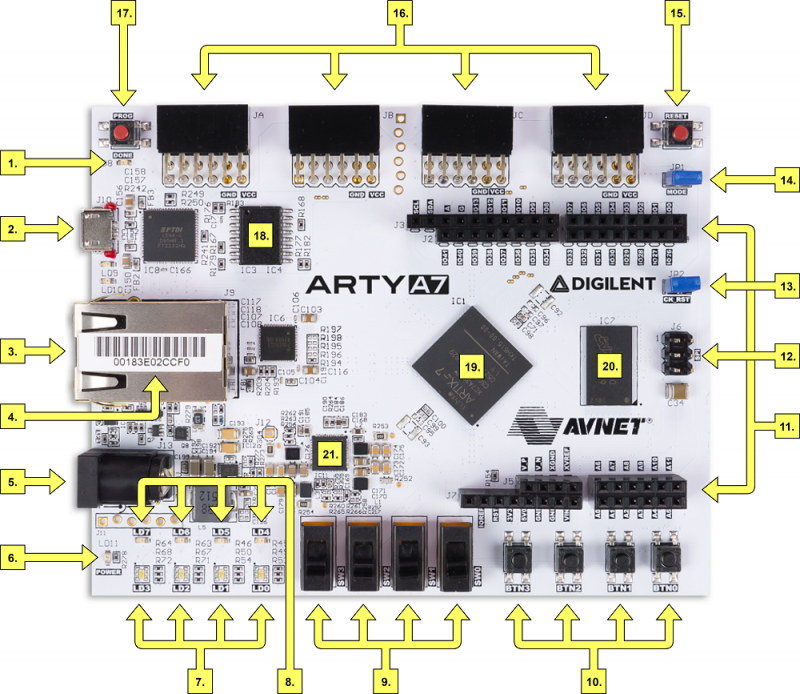
INPUT\_CLK = 50 MHz

6 – Verifique el resultado de su simulación



*Figura 1.4. Resultado de la Simulación.*

7 – Especificar el LED y reloj de entrada a utilizar en la tarjeta Arty A7, en nuestro caso además de la señal de Enable.

Primeramente mostramos los componentes que posee nuestra tarjeta y donde están ubicados.

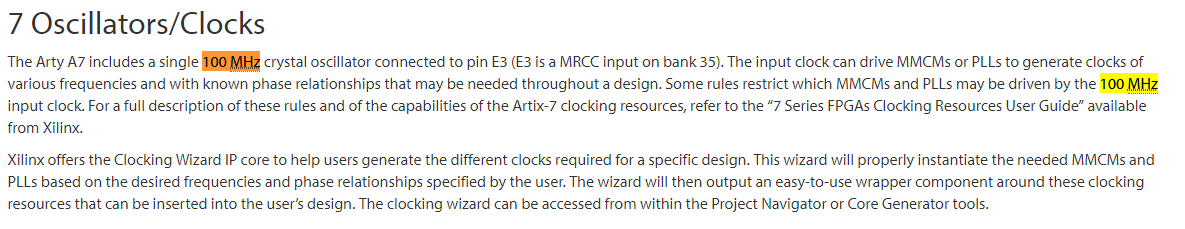
*Figura 1.5 – Componentes de Tarjeta Arty A7*

Tabla 1.1 – Documentación de Componentes de Arty-A7

| **Callout** | **Description** | **Callout** | **Description** | **Callout** | **Description** |
| --- | --- | --- | --- | --- | --- |
| 1 | FPGA programming DONE LED | 8 | User RGB LEDs | 15 | chipKIT processor reset |
| 2 | Shared USB JTAG / UART port | 9 | User slide switches | 16 | Pmod connectors |
| 3 | Ethernet connector | 10 | User push buttons | 17 | FPGA programming reset button |
| 4 | MAC address sticker | 11 | Arduino/chipKIT shield connectors | 18 | SPI flash memory |
| 5 | Power jack for optional external supply | 12 | Arduino/chipKIT shield SPI connector | 19 | Artix FPGA |
| 6 | Power good LED | 13 | chipKIT processor reset jumper | 20 | Micron DDR3 memory |
| 7 | User LEDs | 14 | FPGA programming mode | 21 | Dialog Semiconductor DA9062 power supply |

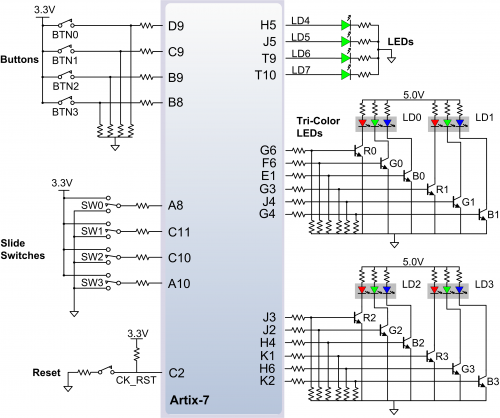
*Reloj / Oscilador:*

Según la documentación de la Arty, posee un cristal que corre alrededor de 100MHz y esto es de considerar al momento de realizar el ingreso de MAX\_VALUE



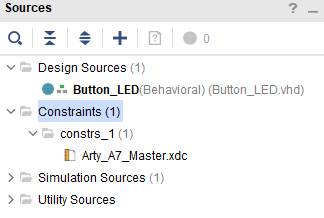
*Figura 1.15. En la documentación de la Arty A7 detalla que el reloj es de 100 MHz.*

8 - Dados los componentes de la tarjeta ahora notaremos en referencia cuales son las entradas y salidas.



*Figura 1.16 – Muestra de ubicación de los botones y LEDs en la Arty A7*

9 - Verifique la ventana de Constraints y observe que se añadió al proyecto



*Figura 1.17 – Verificación del archivo de definiciones/limitantes (constraints).*

10 - Abrir el archivo XDC y habilitar los LEDs y asigne las entradas y salidas como las declaró en su componente:

Tenemos a asignar 1 led y 1 botón en total en la Arty A7 y la señal de reloj

11 – Genere el archivo de salida para programación del FPGA

12 – Descargue el archivo y observe el funcionamiento.

13 – Pruebe la tarjeta:

* SW0 en su posición normal es el enable
* El LED debe encenderse a la frecuencia de trabajo designada
* El LED se mantendrá en su estado si el enable está inhabilitado.

Evaluación:

50% - Completar todos los pasos anteriores:

* 10% Ejecución del programa de PWM de LED en un FPGA.
* 40% Simulación y su TestBench

50% - Realizar los siguientes cambios

* Cumplir con lo siguiente
  + Implemente en el FPGA

Ver tabla de siguiente página

*Tabla 1.2 – Listado de Asignación*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | FREQ | DC | LED | Enable (SW) |
| 1 | AHIR . BHAVINI | 91 | 68 | 0 | 2 |
| 2 | ALVARADO VILLEGAS TSAREV BRYANT | 81 | 21 | 3 | 2 |
| 3 | AVILA WONG CHRISTIAN | 102 | 82 | 1 | 3 |
| 4 | CABALLERO CHECA CARLOS MIGUEL | 110 | 89 | 1 | 0 |
| 5 | CASTRO INAUDY JORGE LUIS EFRAIN | 47 | 74 | 3 | 1 |
| 6 | CEBALLOS SAYAS MARVIN HELAM | 72 | 48 | 0 | 2 |
| 7 | CEDEÑO PONCE CLAUDIA CECILIA | 112 | 45 | 0 | 3 |
| 8 | GUEVARA ROMERO SOFIA | 103 | 61 | 1 | 1 |
| 9 | LEMUS ESCOBAR STHEFANIE ROXXANE | 35 | 80 | 3 | 2 |
| 10 | LUGO DURAN GUILLERMO RAY G. | 40 | 67 | 2 | 1 |
| 11 | MARIN ARJONA NOHELY ENITH | 74 | 40 | 0 | 1 |
| 12 | NUÑEZ MARTINEZ NOHELYS NAZARETH | 31 | 22 | 3 | 0 |
| 13 | RODRIGUEZ ALVARADO REMIGIO | 45 | 62 | 2 | 1 |
| 14 | RODRIGUEZ MARTINEZ YARELIS DEL CARMEN | 58 | 81 | 3 | 3 |
| 15 | SANTAMARIA GUERRA VICTOR MANUEL | 23 | 57 | 3 | 2 |
| 16 | TEJADA WILSON ANDREA RACHELL | 22 | 58 | 2 | 3 |
| 17 | VARELA RETTALLY JAROD NESSIM | 105 | 78 | 3 | 0 |